

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-256399

(43)公開日 平成10年(1998)9月25日

(51) Int.Cl.⁸

識別記号

FI

H O I L 21/8247
29/788
29/792
27/115

H O I L 29/78
27/10

3 7 1
4 3 4

審査請求 未請求 請求項の数21 O L (全 16 頁)

(21)出願番号 特願平9-53004

(22)出願日 平成9年(1997)3月7日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 杉山 寿伸

東京都品川区北品川6丁目7番35号 ソニ
一株式会社内

(72)発明者 内貴 唯八

東京都品川区北品川6丁目7番35号 ソニ
一株式会社内

(74)代理人 弁理士 佐藤 隆久

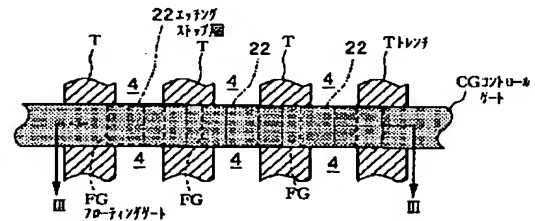
(54) 【発明の名称】 半導体記憶装置及びその製造方法

(57) 【要約】

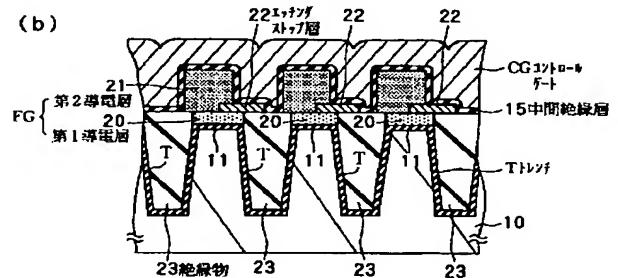
【課題】データ書き込み、消去等の特性の均一性を高め、ゲート絶縁膜を劣化防止を図りながらSTIの素子分離を達成する。

【解決手段】ゲート絶縁膜 11 を介して基板 10 に面する第 1 の導電層 20 を一方方向に分離形成し、この分離間隔内の基板部分を表出させてトレンチ T を形成し、第 1 の導電層 20 とほぼ同じ高さまで絶縁物 23 を埋め込み、第 2 の導電層 21 を第 1 の導電層 20 と電気接続させて形成し、その後、第 2 の導電層 21 と絶縁物 23 上に中間絶縁膜 15 とコントロールゲート CG を第 1 の導電層 20 に接触させずに積層する。第 1 の導電層 20 が中間絶縁膜 15 に接しないために、エッチングストップ層 22 を介在させる、第 2 導電層 21 を位相シフト法等によって幅広く形成するとよい。トレンチ T 形成後にゲート絶縁膜 11 を形成して劣化防止を図るには、第 1 導電層 20 の代わりに後で除去する犠牲層を用いる。

(a)



(b)



【特許請求の範囲】

【請求項 1】 半導体基板に、ゲート絶縁膜、フローティングゲート、中間絶縁膜およびコントロールゲートが順に積層されてなるゲート電極構造を有するメモリトランジスタが半導体基板面に行列状に多数配置され、行または列方向の少なくとも一方方向に隣接するトランジスタ間が前記半導体基板に形成され内部に絶縁物が充填されているトレンチによって電氣的に絶縁分離されている半導体記憶装置であって、

前記フローティングゲートは、前記トレンチの間に残る半導体基板の表面に前記ゲート絶縁膜を介して積層され前記トレンチ間の離間幅とほぼ同一な幅を有する第 1 の導電層と、当該第 1 の導電層に接する第 2 の導電層と、から構成され、

前記絶縁物および前記第 2 の導電層に、前記第 1 の導電層に接することなく前記中間絶縁膜と前記コントロールゲートが積層されている半導体記憶装置。

【請求項 2】 前記第 1 の導電層と前記第 2 の導電層との間に、第 2 の導電層とともに下層側の第 1 の導電層の表面を覆うエッチングストップ層が部分的に介在している請求項 1 に記載の半導体記憶装置。

【請求項 3】 前記エッチングストップ層は、前記第 2 の導電層の前記幅方向の少なくとも一方の端部に接し、前記第 2 の導電層は、その他方の端部が前記絶縁物上に延在している請求項 1 に記載の半導体記憶装置。

【請求項 4】 前記半導体記憶装置は、列方向に直列接続されている複数の前記メモリトランジスタにより構成され前記トレンチによって行方向に絶縁分離されている複数のトランジスタ列と、当該トランジスタ列の両端それぞれに接続されている選択トランジスタとを有し、前記第 2 の導電層は、前記トランジスタ列に直交する行方向でメモリトランジスタごとに分離され、前記行方向に隣り合う前記選択トランジスタ相互間で分離されていない請求項 1 に記載の半導体記憶装置。

【請求項 5】 前記第 2 の導電層は、その少なくとも下面の前記幅が前記第 1 の導電層よりも広く、当該幅方向の両端部がともに前記絶縁物上に延在している請求項 3 に記載の半導体記憶装置。

【請求項 6】 前記第 2 の導電層の両端部それぞれは、下方側ほど幅広に形成されている請求項 5 に記載の半導体記憶装置。

【請求項 7】 半導体基板上にゲート絶縁膜を介して積層されているゲート電極を有するメモリトランジスタが半導体基板面に行列状に多数配置され、行または列方向の少なくとも一方方向に隣接するトランジスタ間が前記半導体基板に形成され内部に絶縁物が充填されているトレンチによって電氣的に絶縁分離されている半導体記憶装置であって、

前記ゲート電極は、前記トレンチの間に残る半導体基板の表面上に前記ゲート絶縁膜を介して面し前記トレンチ

の離間幅とほぼ同一な幅を有する下層部と、前記トレンチ側に臨む両端部がともに前記トレンチの開口面上方に延在している上層部と、から構成され、

前記絶縁物は前記トレンチ内から前記上層部に達するまで充填されている半導体記憶装置。

【請求項 8】 前記ゲート電極は前記メモリトランジスタのフローティングゲートであり、

当該フローティングゲート上に、中間絶縁膜を介して前記コントロールゲートが積層されている請求項 7 に記載の半導体記憶装置。

【請求項 9】 前記半導体記憶装置は、列方向に直列接続されている複数の前記メモリトランジスタにより構成され前記トレンチによって行方向に絶縁分離されている複数のトランジスタ列と、当該トランジスタ列の両端それぞれに接続されている選択トランジスタとを有し、前記ゲート電極は、前記トランジスタ列に直交する行方向でメモリトランジスタごとに分離され、前記行方向に隣り合う前記選択トランジスタ相互間で分離されていない請求項 7 に記載の半導体記憶装置。

【請求項 10】 半導体基板に行列状に多数配置されるメモリトランジスタについて、フローティングゲートをゲート絶縁膜を介して半導体基板上に積層する際に、前記半導体基板に形成され内部に絶縁物が充填されるトレンチを前記フローティングゲートに対し自己整合的に形成し、行または列方向の少なくとも一方方向に隣接するトランジスタ間を電氣的に絶縁分離する半導体記憶装置の製造方法であって、

前記フローティングゲートの形成に際し、前記ゲート絶縁膜を介して半導体基板の表面に面する第 1 の導電層を少なくとも前記一方方向に分離するかたちで形成し、第 1 の導電層の分離間隔内の前記半導体基板部分を表出させ、

表出した半導体基板部分にトレンチを形成し、当該トレンチ内および前記第 1 の導電層の分離間隔内を絶縁物で埋め込み、

前記第 1 の導電層とともに前記フローティングゲートを構成する第 2 の導電層を、前記第 1 の導電層上に電氣的に接続させて形成し、

その後、当該第 2 の導電層と前記絶縁物に、中間絶縁膜とコントロールゲートを前記第 1 の導電層に接触させずに積層する半導体記憶装置の製造方法。

【請求項 11】 前記絶縁物を埋め込んだ後、前記第 1 の導電層の前記一方方向における幅途中から少なくとも一方端側に隣接する前記絶縁物の上面に延在するかたちでエッチングストップ層を形成し、

その後、当該エッチングストップ層を前記第 1 の導電層との間に部分的に介在させたまま前記第 2 の導電層のパターンニングを行なう請求項 10 に記載の半導体記憶装置の製造方法。

【請求項 12】 列方向に直列接続される前記メモリト

ランジスタの列について前記第 2 の導電層を形成する際に、当該メモリトランジスタ列の両端にそれぞれ接続される選択トランジスタの形成領域において、前記第 2 の導電層を行方向に隣り合う選択トランジスタ間で分離しない請求項 1 0 に記載の半導体記憶装置の製造方法。

【請求項 1 3】 前記第 2 の導電層は、少なくとも前記一方方向における他端部が前記絶縁物上に延在するかたちで形成する請求項 1 0 に記載の半導体記憶装置の製造方法。

【請求項 1 4】 前記第 2 の導電層のパターンニングは、その下面の前記幅が上面よりも広くなるドライエッチングの条件を用いて行なう請求項 1 3 に記載の半導体記憶装置の製造方法。

【請求項 1 5】 前記第 1 の導電層および前記第 2 の導電層の形成では、第 2 の導電層の前記トレンチの離間方向における幅を第 1 の導電層の当該幅より相対的に広くする請求項 1 3 に記載の半導体記憶装置の製造方法。

【請求項 1 6】 前記第 1 の導電層および前記第 2 の導電層の形成は、その少なくとも何れか一方のエッチングマスクパターンを位相シフトを有するフォトリソを用いて形成する請求項 1 5 に記載の半導体記憶装置の製造方法。

【請求項 1 7】 前記第 2 の導電層の形成の際、第 2 の導電層となる膜を成膜し、当該膜上にエッチングマスクパターンを形成した後、当該エッチングマスクパターンをマスクとして前記膜を加工することによって、列方向に直列接続されるメモリトランジスタ列の両端にそれぞれ接続される選択トランジスタの形成領域において、前記第 2 の導電層を行方向に隣り合う選択トランジスタ間で分離しない請求項 1 6 に記載の半導体記憶装置の製造方法。

【請求項 1 8】 半導体基板に行列状に多数配置されるメモリトランジスタについて、そのゲート電極を絶縁膜を介して半導体基板に積層する際に、前記半導体基板に形成され内部に絶縁物が充填されるトレンチを前記ゲート電極に対し自己整合的に形成し、行または列方向の少なくとも一方方向に隣接するトランジスタ間を電気的に絶縁分離する半導体記憶装置の製造方法であって、前記ゲート電極の形成に際し、犠牲層を、前記半導体基板に少なくとも前記一方方向に分離させて形成し、形成した犠牲層の分離間隔内の半導体基板部分を表出させ、表出した半導体基板部分にトレンチを形成し、当該トレンチ内および前記犠牲層の分離間隔内を絶縁物で埋め込んだ後、犠牲層を選択的に除去し、犠牲層の除去により表出する半導体基板上に少なくともゲート絶縁膜を含む膜を形成し、前記犠牲層の除去部分を埋め込み、かつ、当該犠牲層の除去部分より前記トレンチの離間方向両側に幅広く前記

ゲート電極を形成する半導体記憶装置の製造方法。

【請求項 1 9】 前記ゲート電極は前記メモリトランジスタのフローティングゲートであり、フローティングゲートの形成後、当該フローティングゲートに中間絶縁膜を介してコントロールゲートを積層する請求項 1 8 に記載の半導体記憶装置の製造方法。

【請求項 2 0】 前記犠牲層および前記ゲート電極の形成は、その少なくとも何れか一方のエッチングマスクパターンを位相シフトを有するフォトリソを用いて形成する請求項 1 8 に記載の半導体記憶装置の製造方法。

【請求項 2 1】 前記ゲート電極の形成の際、ゲート電極となる膜を成膜し、前記膜上にエッチングマスクパターンを形成した後、当該エッチングマスクパターンをマスクとして前記膜を加工することによって、列方向に直列接続されるメモリトランジスタ列の両端にそれぞれ接続される選択トランジスタの形成領域において、前記第 2 の導電層を行方向に隣り合う選択トランジスタ間で分離しない請求項 2 0 に記載の半導体記憶装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】本発明は、ゲート電極に対してトレンチを自己整合的に形成してセル面積を縮小する半導体記憶装置およびその製造方法に関し、特に、メモリトランジスタの電気的特性の均一性および信頼性の向上を図るものである。

【0 0 0 2】

【従来の技術】現在、フローティングゲート型の不揮発性メモリでは、多くの種類のセル方式が提案されているが、その中で最もセルサイズの縮小が可能であり、大容量化が可能なセル方式として NAND 型がある。

【0 0 0 3】例えば、NAND 型フラッシュメモリは、メモリトランジスタを直列に接続し、ビット線とのコンタクトを多数ビットで共有することにより、1 ビット当たりの実効的なセル面積の縮小を可能としたものである。現在、実用化されている NAND 型フラッシュメモリでは、直列接続させたメモリセルの列（ストリング）を絶縁分離する手段として LOCOS (Local Oxidation of Silicon) 法を用いている。しかし、LOCOS 法では、バースピークの存在による分離幅の増大および分離耐圧の低さから、セルサイズの縮小が困難であった。それに対し、文献（1）（IEDM' 94, P61）では、素子分離領域の面積縮小が可能な方法として、STI (Shallow Trench Isolation、以下トレンチと呼ぶ) を NAND 型フラッシュメモリに適用した製造方法が提案されている。以下、その NAND 型フラッシュメモリのメモリアレイ構造および製造方法について説明する。

【0 0 0 4】図 1 は、文献（1）で説明されている NAND 型フラッシュメモリのメモリアレイの平面図を示す。図 1 中、符号 T は半導体基板表面に形成されている

トレンチ、FGはメモリトランジスタのフローティングゲート、CGはメモリトランジスタのコントロールゲート、1はドレイン選択トランジスタのゲート電極、2はソース選択トランジスタのゲート電極、3はビットコンタクト、4は半導体基板のソースおよびドレンに共通な不純物拡散領域、5はドレイン領域、6はソース領域である。

【0005】このNANDフラッシュメモリのメモリアレイは、ストリングと称されるトランジスタ列を繰り返し配置させることによってアレイ全体が構成されている。ストリングは、列方向に直列接続されているスタックゲート構造の複数のメモリトランジスタ（ここでは、16個）と、このトランジスタ列の一方端に接続されているドレイン選択トランジスタと、他方端に接続されているソース選択トランジスタとから構成されている。行方向に隣接するストリング間は、トレンチTで電気的に絶縁分離されている。ドレイン選択トランジスタのドレイン領域5には、列方向に隣接するストリング間で共通なビットコンタクト3が設けられている。メモリトランジスタのフローティングゲートFGは、半導体基板上にゲート絶縁膜（不図示）を介して積層され、行方向ではトレンチTを隔て列方向には不純物拡散領域103を隔ててトランジスタごとに分離されている。また、コントロールゲートCGは、中間絶縁膜（不図示）を介しフローティングゲートFGと同一幅で行方向に配線され、行方向のメモリトランジスタ間で共通化されている。

【0006】図2（a）～（g）は、当該メモリアレイの各製造過程を示す図1中のII-II線に沿った断面図を示す。図2（a）では、シリコン基板10を酸化することにより、メモリトランジスタのトンネルゲート酸化膜11を9nm程度形成する。図2（b）では、まず、フローティングゲートFGとなるPoly-Si膜、エッチングマスクとなるSiO₂膜の積層膜をCVD（Chemical Vapor Deposition）法等により成膜する。成膜後の積層膜上にレジストパターンを形成し、このレジストパターンをマスクとして積層膜をライン状にエッチングする。これにより、フローティングゲートFGとなる層12とエッチングマスク13との積層膜がストリングの幅方向に分離したかたちで形成される。

【0007】図2（c）および図2（d）では、トレンチ絶縁分離を行なう。まず、ライン状のフローティングゲートFGとなる層12の間隔内のトンネルゲート酸化膜11を除去しシリコン基板10を表面に露出させた後、シリコン基板10を所定の深さだけエッチングしてトレンチTを形成する（図2（c））。このトレンチTの形成によって、メモリトランジスタの能動領域となるシリコン基板10内の表面側領域が、ストリング間で分離される。そして、このトレンチTの内壁を薄く熱酸化した後、例えばLP（Low pressure）-CVD法等によってSiO₂系の絶縁物14をトレンチT内に埋め込むか

たちで堆積する（図2（d））。

【0008】図2（e）では、このトレンチTを埋め込むために堆積されたSiO₂系の絶縁物14をエッチバック法等により掘り下げる。このSiO₂系の絶縁物14をエッチバックする量は、フローティングゲートFGと、後に形成されるコントロールゲートCGとの重なり面積を決定する。また、この両ゲートの重なり面積は、コントロールゲートCGと、フローティングゲートFGまたはシリコン基板10の間の容量比を決定する。したがって、SiO₂系の絶縁物14をエッチバックする量は、フローティングゲートFGの電荷注入量および電荷引抜き量を決定する重要なパラメータとなる。文献

（1）によれば、このエッチバックによって、SiO₂系の絶縁物14をフローティングゲートFGの表面から0.3μm程度まで掘り下げることが望ましいとされる。

【0009】図2（f）では、インターポリ（Interpoly）絶縁膜として、例えばONO（Oxide-Nitride-Oxide）膜15を全面に成膜する。図2（g）では、例えばポリサイド（Polycide）等からなるコントロールゲートCGとなる層16を全面に堆積する。コントロールゲートCGとなる層16上に、フォトリソのパターンを、フローティングゲートFGとなる層12に対し直交する方向に長くライン状に形成する。このレジストパターンをマスクとしてドライエッチングを行ない、コントロールゲートCGを形成する。このドライエッチングの際、下地のONO膜15およびフローティングゲートFGとなる層も同時にカットされ、この結果、図1に示すように、メモリトランジスタごとに分離したかたちでフローティングゲートFGが形成される。以後の工程、即ちゲートおよびトレンチTに対し自己整合的に行なうソースおよびドレイン領域4～6の形成、層間膜の形成、ビット線となるアルミニウム（Al）配線等は、通常のフラッシュメモリの製造方法と同様である。

【0010】上記の構造において、メモリトランジスタのチャネルは、互いに直交するコントロールゲートCGのパターニングライン16とフローティングゲートFGのパターニングライン12の交差部下方に形成される。また、素子分離がトレンチTによって達成され、このトレンチTがフローティングゲートFGに対して自己整合的に形成されている。このため、メモリセルの面積（チャネル形成領域、ソースおよびドレイン領域、素子分離領域等の総面積）は、x方向、y方向ともにフォトリソグラフィの解像限界のラインとスペースのピッチによって決定される。このパターニングの解像限界をFとすると、メモリトランジスタの面積はおおよそ4F²でデザインすることができる。先に述べたように、1本のストリングを構成する16個のメモリトランジスタに2つの選択トランジスタが接続され、2本のストリング間でビットコンタクト3を共有している。その選択トランジ

タとビットコンタクト3の共有分(1/2個分)とを考慮に入れると、実効的な1ビット当たりのセル面積はおよそ $5.5F^2$ 程度となる。NAND型フラッシュメモリは、選択トランジスタと共有分の実効的なセル面積に占める割合が他の方式、例えばNOR型に比べ小さい。加えて、STI構造のNAND型フラッシュメモリは、メモリセルの面積がフォトリソグラフィの解像限界Fで決まることから、通常はセル面積が $10F^2$ 程度となるNOR型に対して大幅な面積縮小が達成されている。

【0011】

【発明が解決しようとする課題】しかし、以上の文献(1)に示されているSTI構造のNAND型フラッシュメモリの製造方法は、実用化に際してはいくつか課題がある。第1に、LP-CVD法による SiO_2 等の絶縁物14によってトレンチTを埋め込んだ後のエッチバック(図2(e))において、エッチングストップがないために、トレンチT内における絶縁物14のエッチバック量がばらつきやすい。絶縁物14のエッチバック量は、上述したように、コントロールゲートCGと、フローティングゲートFGまたはシリコン基板10間の容量比を決定する重要なパラメータとなる。したがって、このエッチバック量がばらつくともメモリトランジスタのデータ書き込み、消去特性等がばらつくこととなる。

【0012】第2の課題は、信頼性に関するものである。上記したNAND型フラッシュメモリのプロセスフローでは、フローティングゲートFG等をマスクとしたトレンチT形成時のエッチングを行う間、また、トレンチT内に埋め込んだ絶縁物14をエッチバックする間に、フローティングゲートFGがプラズマにさらされることになる。加えて、前者のトレンチT形成時のエッチングでは、フローティングゲートFGとその直下の薄いトンネルゲート酸化膜11もプラズマに長時間さらされる。このため、フローティングゲートFGの帯電により、あるいは直接的にトンネルゲート酸化膜11にダメージが導入され、このダメージ導入によって、トランジスタが破壊したり、データ保持特性およびデータ書き込み/消去の繰り返し特性等の信頼性関連の特性が劣化しやすくなる。

【0013】さらに、文献(1)の方法では、メモリアレイ内の選択トランジスタの形成において難点がある。選択トランジスタにおいては、メモリトランジスタと同じスタックゲート構造が同時に形成されるが、フローティングゲート構造となることを避けるために、フローティングゲートFGと同じ階層の1層目のPoly-Si層とコントロールゲートCGと同じ階層の2層目のPoly-Si層とを短絡する必要がある。現在主流である通常の製法では、2つのPoly-Si層を短絡するために、1層目のPoly-Si層は、通常、ストリングごとに分割せずにコントロールゲートとともにパターンニングし、複数本のストリングで1箇所の短絡用コンタクトを介して上層側の1層目

のPoly-Si層と短絡する方式がとられる。しかし、STI構造とした文献(1)の方法では、図2(c)に示すように、1層目のPoly-Si層12をマスクとしてトレンチTの形成が行われるため、必然的に図1に示す選択トランジスタにおいても1層目のPoly-Si層をカットする必要性が生ずる。この1層目のPoly-Si層が分断されることにともなって、複数本のストリングで1箇所の短絡用のコンタクトを設けるということができず、ストリング1本ごとに短絡する方法が必要となる。しかし、文献(1)ではその方法は記載されていない。

【0014】以上より、文献(1)に示すNAND型フラッシュメモリの製造方法は微細化に適しているが、実用化に際しては幾つかの課題を抱えており、この課題を解決するための新たな製造方法が切望されていた。

【0015】本発明は、このような実情に鑑みてなされ、データ書き込み、消去特性等の均一性が高く、かつ信頼性に優れたSTIの素子分離構造を有する半導体記憶装置を提供することを目的とする。

【0016】

【課題を解決するための手段】上述した従来技術の問題点を解決し、上記目的を達成するために、本発明の半導体記憶装置の製造方法では、フローティングゲートの形成に際し、ゲート絶縁膜を介して半導体基板の表面に面する第1の導電層を行または列方向の少なくとも一方方向に分離するかたちで形成し、第1の導電層の分離間隔内の半導体基板部分を表出させ、表出した半導体基板部分にトレンチを形成し、当該トレンチ内および前記第1の導電層の分離間隔内を絶縁物で埋め込み、前記第1の導電層とともに前記フローティングゲートを構成する第2の導電層を、前記第1の導電層上に電氣的に接続させて形成し、その後、当該第2の導電層と前記絶縁物上に、中間絶縁膜とコントロールゲートを前記第1の導電層に接触させずに積層する。

【0017】第1の導電層と第2の導電層を、例えばフォトリソグラフィの解像限界で同一幅にて形成したいが両導電層のエッチング選択比がとれない場合等にあっては、好適には、前記トレンチを形成し前記絶縁物を埋め込んだ後、両導電層間の少なくとも片側にエッチングストップ層を介在させる。

【0018】第2の導電層を第1の導電層より幅広く形成すると、エッチングストップ層を設ける必要がなく好ましい。この場合においても、第2の導電層を例えばフォトリソグラフィの解像限界等で細くパターンニングするには、好適には、第2の導電層の下面の幅が上面よりも広くなるドライエッチングの条件を用いて行なう。また、他の好適な方法として、第1の導電層および第2の導電層の形成において、その少なくとも何れか一方のエッチングマスクパターンを位相シフトを有するフォトマスクを用いて形成する。なお、例えば選択成長により第2の導電層を形成するといった方法を採用すれば、第2

の導電層を第1の導電層と同じ幅としたい場合でも、エッチングストップ層を設ける必要がない。

【0019】以上の本発明に係る半導体記憶装置の製造方法は、フローティングゲート（第1の導電層）をエッチングマスクとしてトレンチを形成するのでSTI構造の一種である。本発明の製造方法では、コントロールゲートとの重なり面積が第2の導電層の上面および側面の面積で決まることから、両ゲートの重なり面積は第2の導電層の成膜時の膜厚および加工精度等でほぼ決まり、この結果、絶縁物のエッチバック量で決まる従来の場合に比べ大幅にバラツキが抑制される。

【0020】以上の説明では、メモリトランジスタがフローティングゲートを有するスタックゲート構造の場合に限定されることを前提としたが、本発明の製造方法は、スタックゲート構造のほかに、単一な導電層によりゲート電極が構成される場合にも適用可能である。この場合、ゲート電極の形成に際し、犠牲層を半導体基板に行または列方向の少なくとも一方方向に分離させて形成し、形成した犠牲層の分離間隔内の半導体基板部分を表出させ、表出した半導体基板部分にトレンチを形成し、当該トレンチ内および前記犠牲層の分離間隔内を絶縁物で埋め込んだ後、犠牲層を選択的に除去し、犠牲層の除去により表出する半導体基板上にゲート絶縁膜を含む膜を形成し、前記犠牲層の除去部分を埋め込み、かつ、当該犠牲層の除去部分より前記トレンチの離間方向両側に幅広く前記ゲート電極を形成する。

【0021】この単一層のゲート電極構造に適用可能な製造方法は、犠牲層をエッチングマスクとしてトレンチを形成する点で従来の方法および上記方法と異なる。このトレンチ形成後は、犠牲層を除去し、その犠牲層の除去部分にゲート絶縁膜を介してゲート電極を形成することから、従来のSTI構造と同様、トレンチがゲート電極に対し自己整合的に形成される。また、ゲート絶縁膜の形成が、トレンチをエッチングにより形成し内部に埋め込んだ絶縁物のエッチング後であることから、ゲート絶縁膜がプラズマに曝されることがない。

【0022】一方、選択トランジスタにおいて、第1の導電層と第2の導電層を容易に接続するために好適な方法として、列方向に直列接続される前記メモリトランジスタの列について前記第2の導電層を形成する際に、当該メモリトランジスタ列の両端にそれぞれ接続される選択トランジスタの形成領域において、前記第2の導電層を行方向に隣り合う選択トランジスタ間で分離しないように設計するだけで達成でき、第1の導電層と第2の導電層を接続するために特別なフォトマスクおよびウェーハプロセスを必要としない。

【0023】

【発明の実施の形態】以下、本発明に係る半導体記憶装

置およびその製造方法を、実施例を示す図面を参照しながら詳細に説明する。本発明が適用可能な半導体記憶装置について、セル方式に限定はなくNOR型等であってもよい。また、フローティングゲートを有するスタック型、単層型の何れも本発明の適用が可能である。本発明は、STI構造によるセル面積の縮小化が図り易く、ゲート絶縁膜を介して電荷が異動しその劣化防止の要請が強いNAND型フラッシュメモリに特に好適である。

【0024】第1実施例

図3（a）は、本発明の第1実施例に係るNAND型フラッシュメモリの要部構成を示す平面図であり、図3（b）は、図3（a）のIII-III線に沿った概略断面図である。図3（a）は、本発明の要部であるメモリトランジスタの1本のコントロールゲートCG周囲を部分的に抜き出して示すものである。メモリアレイの基本的な構成は、図1の従来の場合とほぼ同様である。すなわち、フォトリソグラフィの解像限界Fのライン幅とスペース幅を有する平行ストライプ状にトレンチTが配置され、このトレンチTに対し、同じライン幅とスペース幅を有する平行ストライプ状のコントロールゲートCGが重ねられ、このトレンチTとコントロールゲートCGに囲まれた半導体基板部分にソースおよびドレインに共通な不純物拡散領域4が形成されている。これによりメモリトランジスタの列（ストリング）が形成され、ストリングの一端にドレイン選択トランジスタが接続され、他方端にソース選択トランジスタが接続され、各ドレイン選択トランジスタのドレイン領域5それぞれに、列方向に隣接する他のストリングと共有するビットコンタクト3が設けられている。また、図3（b）に示す断面構造において、トンネルゲート絶縁膜11がトレンチT間に残るシリコン基板10の表面上に形成され、またフローティングゲートFG上に中間絶縁膜15（ONO膜等）とコントロールゲートCGが積層されていることは、図2の従来の場合と同様である。

【0025】本発明に係るNAND型フラッシュメモリが図1の従来の場合と異なるのは、フローティングゲートFG部分である。すなわち、図3（b）に示すように、フローティングゲートFGが、フォトリソグラフィの解像限界Fの幅を有する第1導電層20と、同じく解像限界Fの幅を有し第1の導電層20で当該幅方向の一方にずれたかたちで接する第2導電層21とから構成されている。両導電層20、21は、例えばポリシリコン等の同じ導電材料、或いはエッチング選択比がとれない異なる導電材料からなる。両導電層20、21の間には、第2導電層21とともに下層側の第1導電層20を覆うエッチングストップ層22が介在している。エッチングストップ層22は、酸化シリコン、窒化シリコン等の絶縁膜から構成される。トレンチT内に埋め込まれた絶縁物23は第1導電層20の上面付近まで達し、この絶縁物23上にエッチングストップ層22が延在してい

る。

【0026】つぎに、このような構成のNAND型フラッシュメモリの製造方法について、図4に示す各製造過程の断面図に沿って説明する。図4(a)～(c)の工程は、従来例の図2(a)～(d)とほぼ同様である。すなわち、シリコン基板10上にトンネルゲート酸化膜11を成膜し、ラインとスペースの幅を解像限界Fで、トンネルゲート酸化膜11上にフローティングゲートFGとなる層とレジストパターン13との積層パターンを形成する。この積層パターンをマスクとして0.5 μ m程度の深さのトレンチTを形成し、レジストパターン13を除去後、トレンチT内を薄く熱酸化し、LPCVD法等によって酸化シリコン系の絶縁物23を厚く堆積する。酸化シリコン系の絶縁物23としては、例えばTEOS(tetraethylorthosilicate)膜が選択される。従来例では、フローティングゲートFGとなる層12の厚さは、後で積層されるコントロールゲートFGとの容量比を稼ぐために400nm程度必要である。これに対し、本実施例におけるフローティングゲートFGとなる層20aは、構造上、フローティングゲートFGの下層部分(第1導電層20)となるにすぎず、後で積層されるコントロールゲートFGと積極的に容量結合されない。したがって、本実施例におけるフローティングゲートFGとなる層(第1導電層20a)の厚さは、例えば100nm程度で十分である。

【0027】図4(d)では、トレンチTを埋め込むために堆積された酸化シリコン系の絶縁物23の表面側を第1導電層20aの上面が表出するまで除去し、表面の平坦化を行なう。この平坦化は、化学的機械研磨(CMP)を単独で、またはCMPとエッチバックを組み合わせで行なうことにより達成される。これにより、酸化シリコン系の絶縁物23がトレンチTおよび第1導電層20の分離間隔内に埋め込まれたかたちで分離される。

【0028】図4(e)では、窒化シリコン等の膜を例えば30nmほど成膜し、この膜をフォトリソパターンをマスクとしてパターンニングする。これにより、ラインとスペースの幅が解像限界Fである平行ストライプ状のエッチングマスク層22が、第1導電層20に対し幅方向の一部をオーバーラップさせたかたちで形成される。このオーバーラップ幅は、次の図4(f)の工程後に第1導電層20が表面に露出しない値に設定される。また、この幅は第1導電層20と後に積層される第2導電層21との接触面積を決定するため、両導電層20、21が電気的に十分に接続されることを考慮する必要がある。

【0029】図4(f)では、第1導電層20の表面に薄く残っている酸化膜をフッ酸(HF)系のエッチング液により取り除いた後、第2導電層21となるポリシリコン等の膜を成膜し、この膜をフォトリソパターンをマスクとしてパターンニングする。この第2導電層2

1のパターンニングも、ラインとスペースの幅が解像限界Fである平行ストライプ状にパターンニングするが、第1導電層20と重なる位置から幅方向の他端側に所定距離ずらして行なう。この幅方向にずらす量は、フォトリソパターン形成や加工時のバラツキによって、既に形成してある第1導電層20が表面に露出しない値に設定される。このため、第2導電層21は、そのエッチングマスク層22に接しない他端部分が前記絶縁物14上に延在し、エッチングマスク層22とともに第1導電層20の表面を覆うかたちで形成される。

【0030】図4(g)では、例えばONO(Oxide-Nitride-Oxide)膜からなる中間絶縁膜15を全面に成膜する。図4(h)では、例えばポリシリコンまたはポリサイド(Polycide)等からなるコントロールゲートCGとなる層16を全面に堆積する。コントロールゲートCGとなる層16上に、フォトリソのパターンを、フローティングゲートFGに対し直交する方向に長くライン状に形成する。このレジストパターンをマスクとしてドライエッチングを行ない、コントロールゲートCGを形成する。このドライエッチングの際、下地の中間絶縁膜15およびフローティングゲートFGも同時にカットされ、この結果、図1に示すように、メモリランジスタごとに分離したかたちでフローティングゲートFGが形成される。

【0031】以後の工程、即ちゲートおよびトレンチTに対し自己整合的に行なうソースおよびドレイン領域4～6の形成、層間膜の形成、ビット線となるアルミニウム(A1)配線、オーバーコート膜形成等は、通常のフラッシュメモリの製造方法と同様である。

【0032】なお、上記説明では、第1導電層20、第2導電層21およびエッチングストップ層22は、ラインとスペースの幅が解像限界Fである平行ストライプ状に形成するとした。これは、セル面積縮小のために好ましいからであるが、本発明では、これら3つの層20～22のラインとスペースの幅を揃える必要は必ずしもなく、また、その値も解像限界Fに限定されない。

【0033】本発明におけるエッチングストップ層22は、第2導電層21の少なくとも一方端部に接し、第2導電層21とともに第1導電層20の上面を覆っていればよい。このため、エッチングストップ層22の形成は、例えば位相シフト法等を用いることによって解像限界F以下のスペース幅で行い、エッチングストップ層22が第2導電層21の幅方向の両端部に接するようにしてもよい。この場合、エッチングストップ層22と第2導電層21の重ね幅を図4の場合の半分とすれば、図4の場合と同じ第1導電層20と第2導電層21との接触面積を確保することができる。

【0034】また、第2導電層21の形成方法は、フォトリソグラフィ加工技術に限定されない。たとえば、図4(d)の段階で表面に露出した第1導電層20上に、

同一幅の第2導電層21を選択成長によって形成することができる。この場合、エッチングストップ層22は設ける必要がない。

【0035】以上述べてきた本実施例の製造方法では、絶縁物23の表面側を除去しながら行なう平坦化の際に第1導電層20がストップとなるので、トレンチTに埋め込まれる絶縁物23は第1導電層20と同じ高さに揃えられる。このため、従来例のように、絶縁物23の埋め込み高さがばらつくことがない。また、フローティングゲートFGとコントロールゲートの重なり面積は、第2導電層21の表面（上面および側面）によって決定される。この結果、従来例のように、コントロールゲートCGと、フローティングゲートFGまたはシリコン基板10の間の容量比が大きくばらつくことがない。

【0036】また、フォトリソグラフィ加工技術によって第2導電層21を第1導電層20と同じ幅で形成した場合には、エッチングストップ層22を介在させることによって、前記容量比がばらつくことを防止できる。すなわち、エッチングストップ層22を介在させたまま第2導電層21をエッチングすると、そのエッチングマスクのパターン形成時に合わせ余裕が生じる。このため、多少のマスク合わせズレがあっても、下層側の第1導電層20が部分的に掘られることがなく、この結果、フローティングゲートFGとコントロールゲートの重なり面積、即ち前記容量比について高均一性が保証される。

【0037】第2実施例

図5(a)～(c)は、本発明の第2実施例に係るNAND型フラッシュメモリの製造過程の一部を示す断面図である。この図5(a)～(c)は、第1実施例を示す図4において、それぞれ図4(f)～(h)に対応する。図4(e)に対応する工程は、本実施例には存在しない。また、図5(a)より前の工程は、図4(a)～(d)と同じであり、ここでの説明は省略する。

【0038】図5(a)では、まず、第1導電層20の表面に薄く残っている酸化膜をフッ酸(HF)系のエッチング液により取り除いた後、第2導電層24となるポリシリコン等の膜を300nm程度成膜し、この膜上に図示せぬフォトレジストパターンを形成する。このフォトレジストパターンは、第1導電層20と同じフォトマスクを用いて、ラインとスペースの幅が解像限界Fである平行ストライプ状にパターンニングされる。つぎに、形成したフォトレジストパターンをマスクとして、ポリシリコン等の膜をエッチングし、第2導電層24を形成する。このエッチングは、加工面の側壁に重合物等の保護膜が付着する程度がエッチング中に変化するように、例えばエッチングガスの流量比等を調整しながら行なう。このエッチングにより形成された第2導電層24は、図5(a)に示すようにエッチング面がテーパ形状となる。この結果、第1導電層20に対する第2導電層

24の合わせ余裕が生じ、ある程度のマスク合わせズレが生じて、第2導電層24のエッチング時に第1導電層が掘れることがない。

【0039】その後は、第1実施例と同様に、中間絶縁膜15全面に成膜し（図5(b)）、コントロールゲートCGとなる層16を全面に堆積したのち、中間絶縁膜15およびフローティングゲートFGとともに加工してコントロールゲートCGを形成する。また、常法にしたがって、ソースおよびドレイン領域4～6の形成、層間膜の形成、ビット線となるアルミニウム(A1)配線、オーバーコート膜形成等の諸工程を行なう、フラッシュメモリを完成させる。

【0040】本実施例は、第2導電層24の形成に際し、第1導電層20に対する合わせ余裕が生じフローティングゲート構造の結合容量比を均一にできるといった第1実施例と同様な効果を奏する。その際、第1実施例のようにエッチングストップ層22を形成しなくともよく、また、第2導電層24と第1導電層20のパターンニング工程のフォトマスクを共通化できることから、第1の実施例に比べ工程の簡略化および製造コストの削減を図ることができる。

【0041】第3実施例

図6(a)～(c)は、本発明の第3実施例に係るNAND型フラッシュメモリの製造過程の一部を示す断面図である。この図6(a)～(c)は、第1実施例を示す図4においてそれぞれ図4(f)～(h)に対応し、図6(a)より前の工程は図4(a)～(d)と同じであることは、第2実施例と同様である。

【0042】図5(a)では、第1導電層20表面のライトエッチング後、第2導電層25となるポリシリコン等の膜を300nm程度成膜し、この膜上に図示せぬフォトレジストパターンを形成する。本実施例におけるフォトレジストパターンの形成は、フォトリソグラフィにおいて位相シフト法を用いることにより、レジストのライン幅よりも、スペースの幅の方が小さくなるように行なう。

【0043】図7は、この時用いる位相シフトマスクの一例として、シフター端遮光方式を用いた場合のフォトマスクのパターンを示す。また、図8は、図7のIV-IV線に沿った断面においてパターン転写の様子を示す説明図、図9は図7のフォトマスクを用いた露光後のレジストパターンの平面図である。なお、図7と図9は、図1に示すメモリアレイ部分に対応したフォトマスクとレジストのパターン図である。

【0044】図7に示すフォトマスク30は、メモリトランジスタ列が形成される領域に、透過光の位相を180度反転させる180度位相シフト31が列方向にライン状に2本配置され、そのスペース部分が位相ずれなしに光を透過させる光透過部32（通常、石英ガラス）となっている。180度位相シフト31および光透過部3

2の幅は、それぞれ解像限界Fの2倍となっている。一方、選択トランジスタが形成される領域には、クロム(Cr)等からなる遮光部33でマスキングされている。

【0045】シフト遮光方式では、図8に示すように、180度位相シフト31によって、その光透過部32との境界で180度位相が異なる光が打ち消しあうことから(図8(b))、境界付近で光強度が急激に低下する(図8(c))。したがって、図8(d)に示すように、パターン転写後のレジストには、180度位相シフト31のエッジの数だけレジストの抜きパターンが形成される。このとき、レジストパターンのピッチは2Fのままであるが、レジストの残しパターンの幅は下解像限界Fより大きく、抜きパターン(スペース)の幅は解像限界Fより小さくなる。

【0046】この位相シフト法を用いて第2導電層25のエッチングマスクとしてのフォトリソパターンを実際に形成した図9では、メモリトランジスタ列が形成される領域におけるトレンチTの上方に幅が狭い抜きパターン26が形成される。また、選択トランジスタが形成される領域は、遮光部33でマスキングされたことによって、パターンが形成されない。形成したフォトリソパターンをマスクとして、ポリシリコン等の膜をエッチングする。これにより、メモリトランジスタ列が形成される領域では、図6(a)の断面で見ると、第1導電層20の上面を多いフォトリソグラフィの解像限界Fよりも狭い幅で分断されたかたちで第2導電層25が形成される。

【0047】その後は、第1実施例と同様に、中間絶縁膜15全面に成膜し(図6(b))、コントロールゲートCGとなる層16を全面に堆積したのち(図6(c))、中間絶縁膜15およびフローティングゲートFGとともに加工してコントロールゲートCGを形成する。このコントロールゲートCGと同時に、選択トランジスタのゲート電極1、2も形成される。このとき、図9に示す抜きパターン26の有無によって、第1導電層20およびメモリトランジスタにおける第2導電層25はメモリトランジスタごとに分離されるが、選択トランジスタにおける第2導電層はゲート電極1または2と同じパターン形状であり行方向に分離されない。したがって、選択トランジスタをフローティングゲート構造としないための現在主流となっているゲート短絡方式、即ち複数本のストリングで1箇所の短絡用コンタクトを介して第2導電層25とゲート電極1または2と短絡する方式を採用することができる。なお、ソースおよびドレイン領域4~6の形成、層間膜の形成、ビット線となるアルミニウム(A1)配線、オーバーコート膜形成等、フラッシュメモリを完成させるまでの他の諸工程は従来法に従う。

【0048】本発明は、位相シフト法を何れの導電層に

適用するかについて制限はない。したがって、第1の導電層のパターン形成に適用する、或いは第1の導電層と第2の導電層の両方に適用することも可能である。

【0049】図10は、位相シフト法を第1の導電層のパターン形成に適用した場合の各製造過程を示す断面図である。図10(a)~(g)は、それぞれ図4の

(a)~(d)および図4(f)~(h)に対応する。この変形例では、図10(b)において、上述した位相シフト法を用いて、レジストパターン13と第1導電層27との積層パターンを形成する。これにより、フォトリソグラフィの解像限界Fより小さいライン幅で、Fより大きなスペース幅の第1導電層27がパターンニングされる。そして、図10の形成工程において、この第1導電層27の幅中心に合わせて、第2導電層21を通常のフォトリソグラフィ加工技術を用いて形成する。この第2導電層21の幅およびスペースはともに解像限界Fなので、これにより第1導電層27の上面が覆われる。他の工程、即ち図10(a)、(c)、(d)、

(f)、(g)等は、図4の第1実施例の場合と同様である。

【0050】図11は、位相シフト法を第1の導電層と第2の導電層の両方に適用した場合の各製造過程を示す断面図である。この変形例が図6の本実施例の場合と異なる点は、この図11より前の工程において、図10

(b)同様に、位相シフト法を用いて、第1導電層27をフォトリソグラフィの解像限界Fより小さいライン幅、Fより大きなスペース幅で形成することである。その後、トレンチTの形成、絶縁物23の埋め込みおよび平坦化を行った後、図6と同様にして、第2の導電層25を解像限界Fより大きなライン幅、Fより小さなスペース幅で形成し(図11(a))、中間絶縁膜15とコントロールゲートCGとなる膜16を成膜し、加工する(図11(b))、(c))。この変形例では、第1の導電層と第2の導電層のそれぞれについて適用される位相シフト法によってライン幅が逆方向にシフトされるので、図6の本実施例或いは図10の先の変形例に比べ、第2導電層のマスキングの余裕が大きく第1導電層が表面に露出し難いといった利点がある。また、コントロールゲートと、フローティングゲートまたはシリコン基板間の容量比はチャンネル形成領域の面積と第2導電層の表面(上面および側面)の面積との面積比でおおよそ見積もることができるが、この変形例では、第1導電層のライン幅を小さくしたことに応じてチャンネル形成領域の面積が相対的に小さく、その分、当該容量比を大きく設定することが可能である。

【0051】以上述べてきた本実施例および変形例は、第2導電層の形成に際し、第1導電層に対するマスキングの余裕が生じフローティングゲート構造の結合容量比を均一にできるといった第1実施例と同様な効果を奏する。また、第2実施例と同様、第1実施例のよ

うにエッチングストップ層22を形成しなくてもよい。第2実施例では、第2導電層24のテーパ形状を実現するのにエッチング条件を調整して行なった場合等においては、テーパ形状を均一にできず前記容量比を決める第2導電層24の表面積が若干ばらつくことが予想される。本実施例では、位相シフト法を用いることによって精度よいパターンニングを達成することができる。

【0052】第4実施例

上述した3つの実施例は、フローティングゲート構造を有するメモリトランジスタについて、その結合容量比の均一化に寄与するものであった。本実施例は、結合容量比の均一化が図れる上、ゲート絶縁膜の劣化防止を図ることができる単層のゲート電極構造及びその製造方法に関するものである。

【0053】図12は、本実施例に係るNAND型フラッシュメモリの各製造過程を示す断面図である。図12(a)～(d)では、図4の第1実施例の場合とほぼ同様な工程を経て、トレンチTの形成、絶縁物23の埋め込みおよび平坦化を行なう。ただし、本実施例では、12(a)のシリコン基板10表面に成膜する酸化シリコン等の絶縁膜28は、後で除去するものであり、図4のトンネルゲート絶縁膜11とは異なる。また、トレンチTのエッチングマスクの下層部は、後で除去する犠牲層29である。犠牲層29は、トレンチT内に埋め込まれる絶縁物23とはエッチング選択比がとれる材料、例えば窒化シリコン膜から構成される。この絶縁膜28は、シリコン基板10との密着性等を考慮して犠牲層29との間に介在させるものであり、省略も可能である。

【0054】平坦化後、図12(e)では、上記犠牲層29をホットりん酸等により選択的に除去し、続いてシリコン基板10表面の酸化膜等をフッ酸系のエッチング液によって除去する。これにより、トレンチT内に埋め込まれた絶縁物23が、前記絶縁膜28と犠牲層29の合計の厚さだけシリコン基板10表面から突出することとなる。本実施例では、この絶縁物23の突出部分の間隔内で表出したシリコン基板10の表面に、熱酸化によるトンネルゲート絶縁膜11の形成を行う(図12(f))。

【0055】図12(g)では、フローティングゲートFGとなる膜を、絶縁物23の突出部分による凹部空間を完全に埋め込むようにして300nm程度成膜する。この膜を、図5(a)の第2実施例と同様な方法によって列方向のストライプ状にパターンニングする。この結果、フローティングゲートFGは、そのライン幅両側にテーパが形成され、その裾部分がライン幅両側とも絶縁物23の突出部分上に延在することとなる。その後は、上述した他の実施例と同様、中間絶縁膜15とコントロールゲートCGを積層し、所定形状に加工した後、ソースおよびドレイン領域4～6の形成等を行なってフラッシュメモリを完成させる。

【0056】本実施例では、フローティングゲートFGおよび犠牲層29のパターンニング工程において、位相シフト法を用いた種々の変形が考えられる。具体的な位相シフト方法の適用の仕方は、既に第3実施例で詳しく述べたので、ここではフローティングゲートFG形成後の断面図を図13に示すのみとし、重複する説明は行なわない。ここで、図13(a)は犠牲層29のパターンニングを通常のフォトリソグラフィによって行うことによって、フローティングゲートFGの下層部について、そのライン幅とスペース幅をともに解像限界Fとする一方、フローティングゲートFGのパターンニングを位相シフト法を用いて行なうことによって、フローティングゲートFGの上層部について、そのライン幅をFより大きくスペース幅がFより小さくする場合である。図13(b)は、逆に犠牲層29のパターンニングにのみ位相シフト法を用いることによって、フローティングゲートFGについて、その下層部のライン幅をFより小さくスペース幅をFより大きくし、上層部のライン幅とスペース幅をともにFとする場合である。図13(c)は、犠牲層29とフローティングゲートFGの両パターンニングとも位相シフト法を用いることによって、フローティングゲートFGについて、その下層部のライン幅をFより小さくスペース幅をFより大きくし、上層部のライン幅をFより大きくスペース幅をFより小さくする場合である。

【0057】なお、以上の本実施例の説明はフローティングゲート構造のメモリトランジスタを有するNAND型フラッシュメモリについて行なったが、本発明によるゲート絶縁膜の劣化防止効果は、単層電極構造を有するトランジスタについても得られるものである。したがって、本実施例の製造方法は、MNOS(Metal-Nitride-Oxide Semiconductor)、MONOS(Metal-Oxide-Nitride-Oxide Semiconductor)といった他の不揮発性記憶素子をメモリトランジスタに有する半導体記憶装置に適用可能である。この場合、図12(f)後にゲート絶縁膜11上に窒化シリコン膜等の所定の絶縁膜を積層する工程が追加され、また図12(h)の中間絶縁膜15とフローティングゲートFGとなる層16の堆積は行なわない。

【0058】本実施例によれば、絶縁物23の上面が平坦化によって揃っていることから、絶縁物23より上方のフローティングゲートFGの表面積がほぼ一定となり、この結果、フローティングゲート構造の結合容量比の均一化が図れる。また、トンネルゲート絶縁膜11の形成がトレンチTの形成後に行われるので、従来例および従前の実施例のように、トレンチT形成時にトンネルゲート絶縁膜11がプラズマに直接曝されることがない。また、トレンチT形成時のエッチングマスクは絶縁物であることから、トレンチ形成時、及びその後のエッチバックやCMP等の平坦化の際に帯電することがな

い。そのため、トンネルゲート酸化膜 11 にダメージが導入されることを構造的に回避でき、信頼性の高いトンネルゲート酸化膜 11 の形成が可能となる。さらに、上記種々の効果を得ることができるにもかかわらず、従来例と同様に単一の導電層からフローティングゲート FG を形成できることから、従前の実施例のように 2 つの導電層間のパターンズレの心配がなく、工程の簡略化も可能である。

【0059】最後に、本発明における選択トランジスタの短絡方法について、若干の説明を補足しておく。従来技術の課題で述べたように、STI による素子分離方法ではフローティングゲート FG がトレンチ T のエッチングマスクとして使用されることから、前記文献 (1) に示す製法では、選択トランジスタにおいてもフローティングゲート FG となる層が行方向に分断され、複数のストリング間で一括してフローティングゲート FG を上層側のゲート電極層と短絡することは困難であった。この複数のストリング間で一括してゲート電極の短絡が可能な方法は、第 3 実施例で既に詳しく述べた。このゲート短絡方法は、第 3 実施例以外にも全ての実施例において適用可能である。なぜなら、本発明の第 1 実施例および第 2 実施例のフローティングゲート FG は第 1 導電層と第 2 導電層の積層構造を有しており、下層側の第 1 の導電層が行方向に分断されトレンチ T のエッチングマスクとして使用されるので、上層側の第 2 の導電層は行方向に分断する必要がないからである。したがって、第 2 導電層のマスクパターンにおいて、図 7 の如く選択トランジスタ領域をマスキングする等によって、図 9 に示すように、この領域全体がフォトリソで保護され、この結果、選択トランジスタのフローティングゲート層は行方向に分断されない。一方、第 4 実施例においては、フローティングゲート FG は単層構造であるが、この場合のトレンチ T のエッチングマスクは犠牲層 29 であり、フローティングゲート FG 形成前に既にトレンチ T の形成が終了しているため、同様にしてフォトリソのパターン設計段階で選択トランジスタのフローティングゲート層が行方向に分断されないようにすることが可能となる。

【0060】

【発明の効果】以上説明してきたように、本発明に係る半導体記憶装置の製造方法によれば、トレンチ内に埋め込まれた絶縁物の上面を描えることができ、その上方側へ突出するフローティングゲート部分と絶縁物上に中間絶縁層とコントロールゲートが積層されていることから、スタックゲート構造における結合容量比の均一性が極めて高い。絶縁物の上面位置を境にフローティングゲートが第 1 の導電層に第 2 導電層を重ねて形成された 2 層構造の場合、エッチングストップ層を介在させたり、上層側の第 2 の導電層を下層側の第 1 の導電層より幅広に形成することによって、第 2 の導電層のパターンニ

グ時のアライメントずれ等による第 1 の導電層のエッチングが有効に防止され、このエッチングによって結合容量比の均一性を損なうことがない。

【0061】また、フローティングゲートが単層構造の場合、その直下のゲート絶縁膜がトレンチ形成後に成膜されることから、その劣化が防止され信頼性が高い。

【0062】さらに、第 2 導電層および単層構造のフローティングゲートは、トレンチ形成時のエッチングマスクとして使用されないことから、選択トランジスタの形成領域において行方向に分断しないことができる。したがって、コントロールゲートを有する場合は、複数のストリング間で一括して行なう第 2 導電層とコントロールゲートとの短絡方式が採用できる。

【0063】よって、本発明により、データ書き込み、消去特性等の均一性が高く、かつ信頼性に優れた STI の素子分離構造を有する半導体記憶装置を提供することが可能となる。

【図面の簡単な説明】

【図 1】図 1 は、従来の NAND 型フラッシュメモリのメモリアレイの平面図である。

【図 2】図 2 (a) ~ (g) は、図 1 のメモリアレイの各製造過程を示す図 1 中の II-II 線に沿った断面図である。

【図 3】図 3 (a) は、本発明の第 1 実施例に係る NAND 型フラッシュメモリの要部構成を示す平面図である。図 3 (b) は、図 3 (a) の III-III 線に沿った概略断面図である。

【図 4】図 4 は、図 3 の NAND 型フラッシュメモリの各製造過程を示す断面図である。

【図 5】図 5 (a) ~ (c) は、本発明の第 2 実施例に係る NAND 型フラッシュメモリの製造過程の一部を示す断面図である。

【図 6】図 6 (a) ~ (c) は、本発明の第 3 実施例に係る NAND 型フラッシュメモリの製造過程の一部を示す断面図である。

【図 7】図 7 は、図 6 (a) の工程で用いる位相シフトマスクの一例として、シフター端遮光方式を用いた場合のフォトリソのパターン図である。

【図 8】図 8 は、図 7 の IV-IV 線に沿った断面においてパターン転写の様子を示す説明図である。

【図 9】図 9 は、図 7 のフォトリソを用いた露光後のレジストパターンの平面図である。

【図 10】図 10 は、第 3 実施例の変形として、位相シフト法を第 1 の導電層のパターン形成に適用した場合の各製造過程を示す断面図である。

【図 11】図 11 は、第 3 実施例の変形として、位相シフト法を第 1 の導電層と第 2 の導電層の両方に適用した場合の各製造過程を示す断面図である。

【図 12】図 12 は、本発明の第 4 実施例に係る NAND 型フラッシュメモリの各製造過程を示す断面図であ

る。

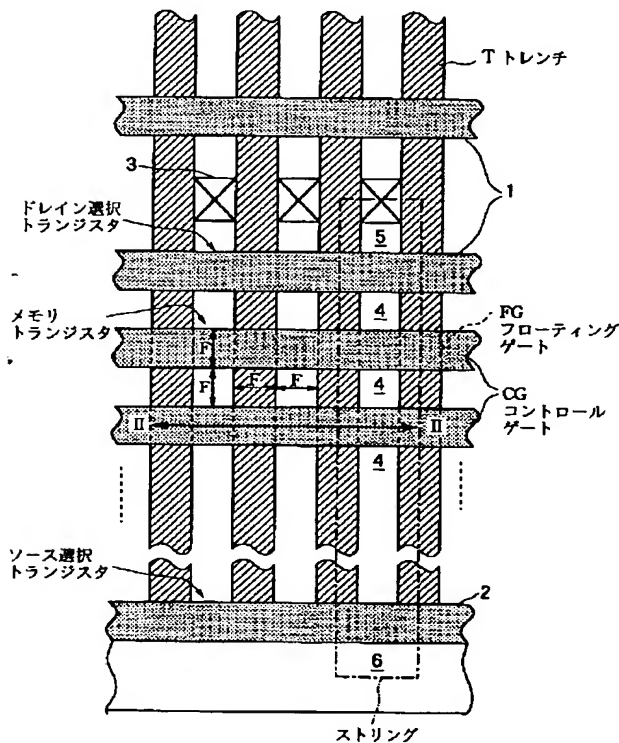
【図 13】図 13 は、第 3 実施例の変形例を示すフローティングゲート形成後の断面図であり、図 13 (a) はフローティングゲートのパターンニングに位相シフト法を用いる場合である。図 13 (b) は、犠牲層のパターンニングに位相シフト法を用いる場合である。図 13 (c) は、犠牲層とフローティングゲート双方のパターンニングに位相シフト法を用いる場合である。

【符号の説明】

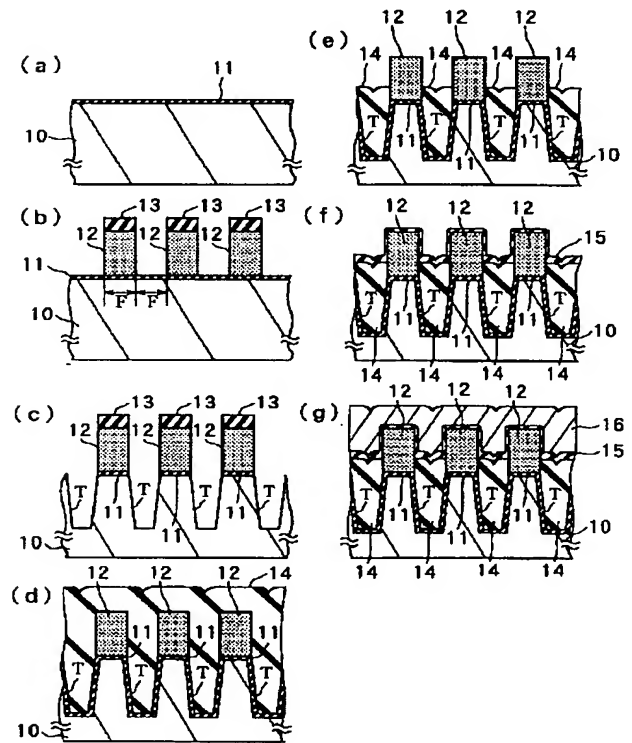
1…ドレイン選択トランジスタのゲート電極、2…ソース選択トランジスタのゲート電極、3…ビットコンタク

ト、4…ソースおよびドレインに共通な不純物拡散領域、5…ドレイン領域、6…ソース領域、10…シリコン基板、11…トンネルゲート絶縁膜、15…中間絶縁膜、16…コントロールゲートとなる層、20、27…第 1 導電層、21、24、25…第 2 導電層、22…エッチングストップ層、23…絶縁物、26…フォトリソの抜きパターン、28…絶縁膜、29…犠牲層、30…フォトリソ、31…180 度位相シフト、32…光透過部、33…遮光部、CG…コントロールゲート、FG…フローティングゲート、F…フォトリソグラフィの解像限界、T…トレンチ。

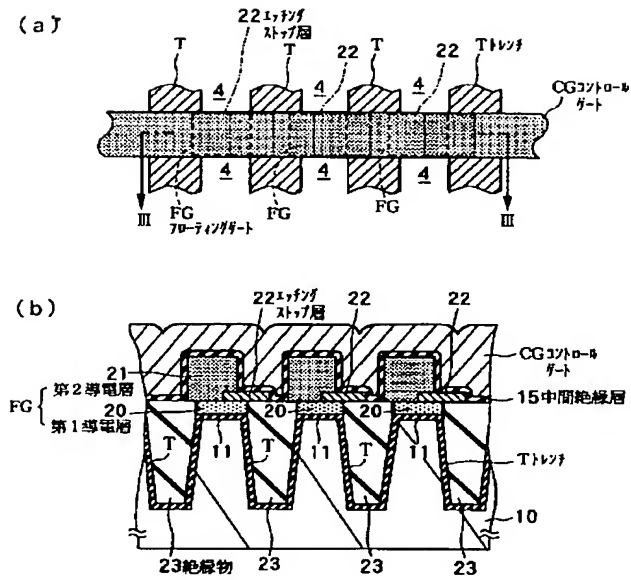
【図 1】



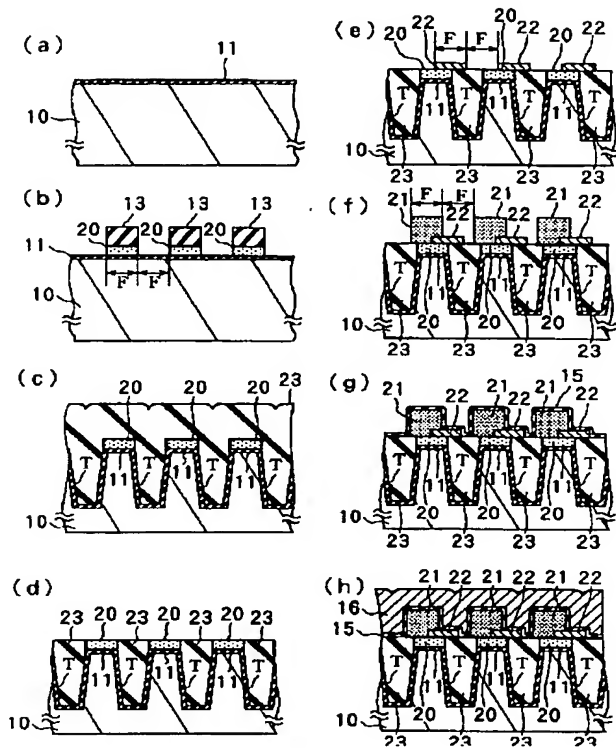
【図 2】



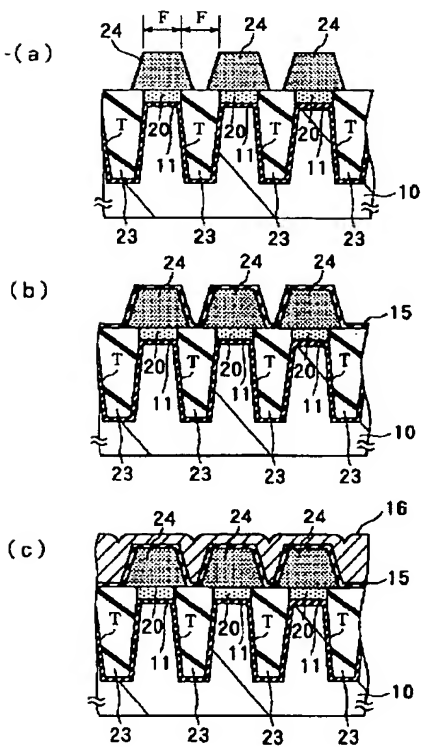
【図 3】



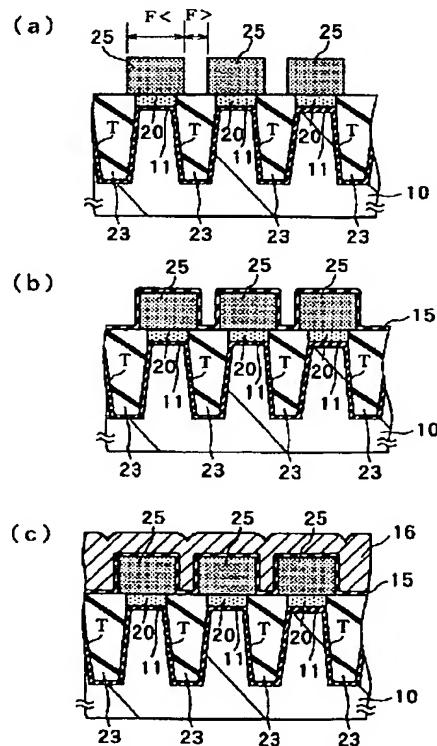
【図 4】



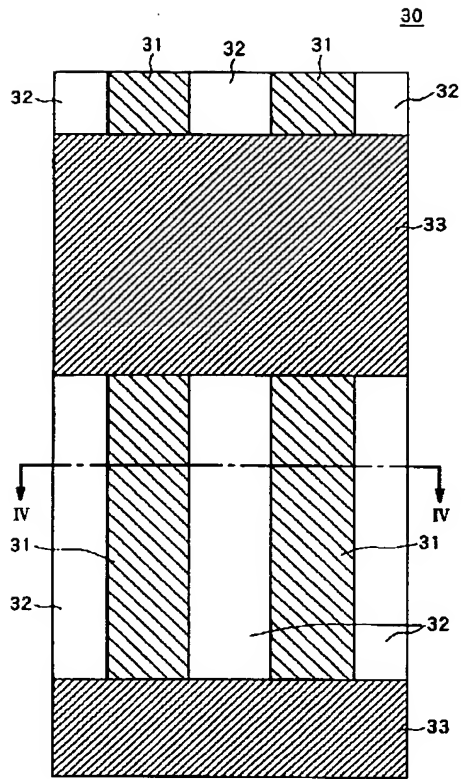
【図 5】



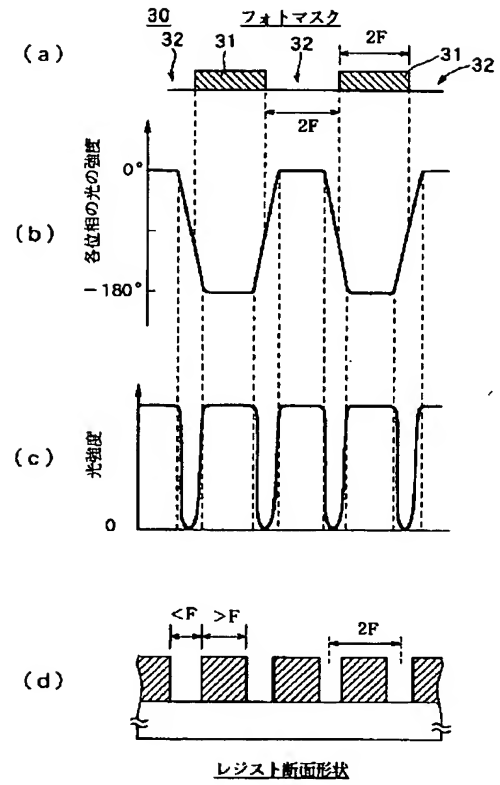
【図 6】



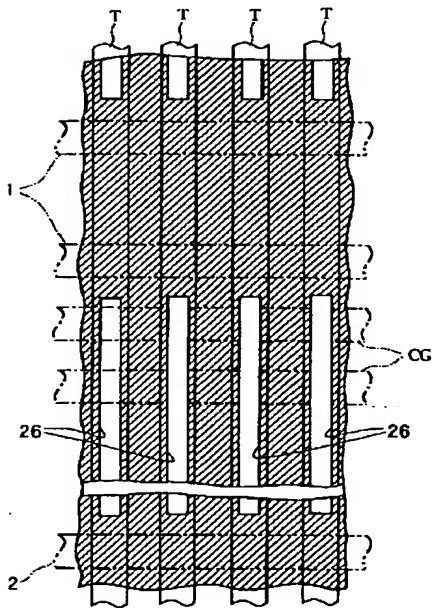
【図 7】



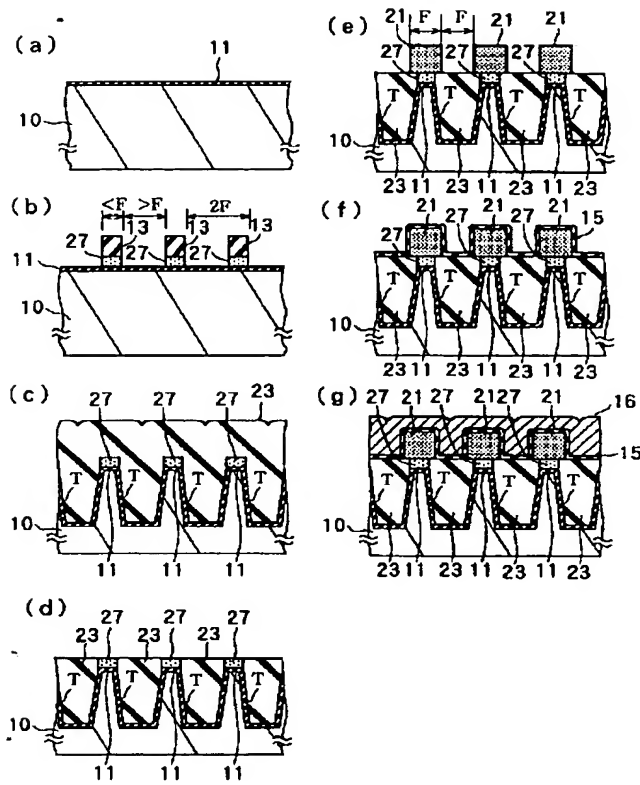
【図 8】



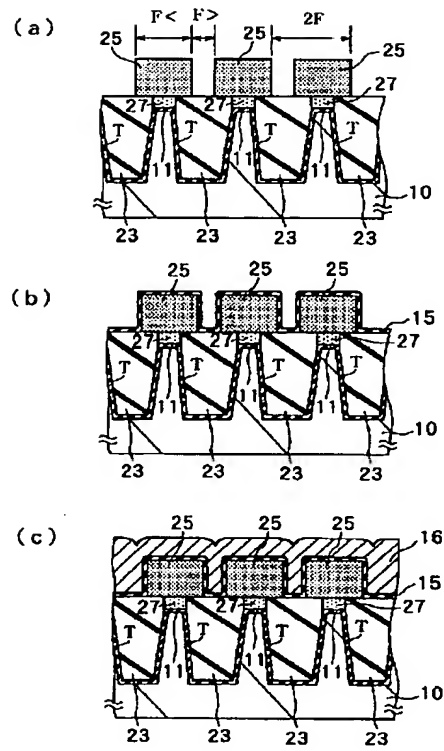
【図 9】



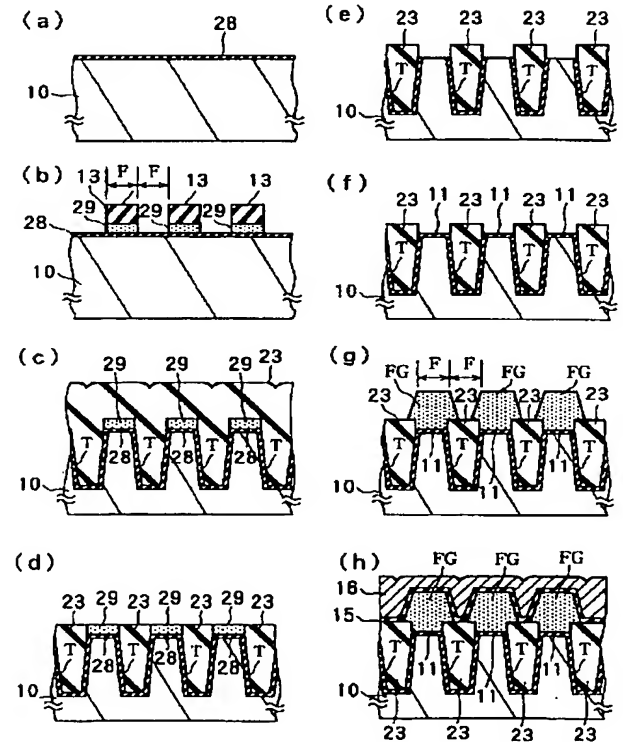
【図 10】



【図 11】



【図 12】



【図 1 3】

